

### Translation of Official Action

Japanese Patent Appln. No.2003-156486

Date of Drafted: March 25, 2005

Name of Examiner: Hirotsune Aizaki

Patent Attorney: Yamato Tsutsui

Article Applied: Japanese Patent Law Article 29.(2)

The present application should be rejected for the reason given below. In response, the applicant may file an Argument and/or Amendment within sixty days from the mailing date.

#### Reason

The invention(s) of the claim(s) is considered to be readily thought of from the disclosure in the undermentioned publication circulated in Japan or in foreign countries prior to the filing of the present application. Therefore, the present application falls under the provisions of Article 29.(2) of the Patent Law and thus is not acceptable.

#### Remarks (Refer to List of References)

Claims 1-27, 158-159 (Proposed Amended Claims 1-27 and 43-44 are similar to those Claims.)

#### The Reference 1

##### Note

(The Reference 1 is written in French. Refer to the corresponding Japanese Reference 2 as the translation of the Reference 1.)

The "host H", the "disk memory bank BMD", the "cache memory CA" and the "peripheral mass memory subsystem PSS" correspond to the "upper apparatus", the "disk apparatus", the "cache mechanism" and the "memory system" of the present invention respectively.

In addition, the constitution for realizing the function merging the functions of the host adaptors HA1-4 of the Reference 1 corresponds to the "channel mechanism (channel unit)" of the present invention. The constitution for realizing the function merging the functions of the mass memory adaptors (disk adaptors) DA1-8 of the Reference 1 corresponds to

the "control mechanism (control unit)" of the present invention.

Further, the other features are the matters not related to the difference or the matters related to only a design choice.

In the submitted report, the applicant argues that such the features correspond to the difference between the technique of the Reference 1 and that of the present invention. However, it is not identified if the functions shown by the words of the "channel mechanism" and the "control mechanism" are constituted by the single functional means or the plural functional means. So, such the features are not the difference. Namely, such the applicant argument is based on the misunderstanding of the Reference 1.

Further, in the Proposed Amendment, even if the "mechanism" is replaced by the "unit", the present invention relates to the internal structure of the memory system. So, even if the word of "unit" is used, since it is not recognized that the body distinct on the physical space is designated, the Examiner cannot change the Examiner's position. In addition, since the "memory" is the upper concept of the "cache", even if the cache is recited by the memory, the difference between the present invention and the cache of the Reference cannot be recognized.

Claims 28-157 (Proposed Amended Claims 28-42 are similar to those Claims.)

The Reference 1

Note

(The Reference 1 is written in French. Refer to the corresponding Japanese Reference 2 as the translation of the Reference 1.)

The "host H", the "disk memory bank BMD", the "cache memory CA" the "peripheral mass memory subsystem PSS", the "host adaptor HA" and the "mass memory adaptor (disk adaptor) DA" of the Reference 1 correspond to the "upper apparatus", the "rotation-type memory apparatus", the "cache mechanism", the "external memory subsystem", the "channel unit" and the "control unit" of the present invention respectively.

In addition, as to the contents that the plurality of channel mechanisms and the plurality of control mechanisms are provided with the plurality of paths connected to (the plurality of) cache mechanisms, it is a

conventional technique to improve the reliability by adopting the redundancy constitution in the specified path.

The Reference 1 discloses that the respective central processors PR are provided with the individual access paths both for the bus 1 and the bus 2 which are the access paths connected to the plurality of the cache memories independently. In addition, the central processor is provided with the various functions as the parent apparatus of the various hardware elements to perform the operation of the initial setting as to the other hardware. So, it is a design choice for those skilled in the art to unify the initial setting function of the central processor and the function of the host adaptor. Then, in the concrete constitution for connecting with the buses in the mother board, it is a design choice for those skilled in the art to adopt the constitution of providing the individual access paths both for the bus 1 and the bus 2 which are constituted for the connections in the central processor or the constitution of providing the access path either for the bus 1 or for the bus 2 which is constituted for the connections in the host adaptor.

The Reference 1 discloses that the central processors PR are provided with the individual access paths both for the bus 1 and the bus 2 which are the access paths connected to the plurality of the cache memories independently. In addition, in the solid state disk unit DE 1, the solid state disk is provided to substitute the function of the disk memory bank. So, it is a design choice for those skilled in the art to unify the function of the solid state disk unit and the function of the disk memory bank. Then, in the concrete constitution for connecting with the buses in the mother board, it is a design choice for those skilled in the art to adopt the constitution of providing the individual access paths both for the bus 1 and the bus 2 which are constituted for the connections in the central processor or the constitution of providing the access path either for the bus 1 or for the bus 2 which is constituted for the connections in the disk adaptor.

Accordingly, in the technique of the Reference 1, it is a design choice to provide the single access path or the plurality of access paths in the host adaptor and the disk adaptor.

A new rejection reason will be notified if found.

List of References

Reference 1      European Patent Publication No.445479  
Reference 2      JP-A-4-219815

## 拒絶理由通知書

期限 17年5月30日

特許出願の番号 特願2003-156486  
起案日 平成17年 3月25日  
特許庁審査官 相崎 裕恒 9290 5N00  
特許出願人代理人 筒井 大和 様  
適用条文 第29条第2項

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

## 理 由

この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記 of 刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

請求項: 1-27, 158-159 (補正案の請求項1-27, 43-44についても同様。)

引用文献: 1

## 備考

(引用文献1はフランス語文献であるところ、その訳語については、対応日本特許文献2を参照。)

引用文献1における「ホストH」「ディスクメモリバンクBMD」「キャッシュメモリCA」「周辺マスメモリサブシステムPSS」が、それぞれ本願発明の「上位装置」「ディスク装置」「キャッシュ機構」「記憶システム」に相当する。

また、引用文献1におけるホストアダプタHA1-4の機能を併せた機能を実現する構成が本願発明の「チャネル機構(チャネル・ユニット)」に相当し、引用文献1のマスメモリアダプタ(ディスクアダプタ)DA1-8の機能を併せた機能を実現する構成が本願発明の「コントロール機構(コントロール・ユニット)」に相当する。

また、その余の点についても、相違点でないか、単なる設計的事項である。

なお、これらの点について、出願人は上申書において本願発明と引用文献1に記載された技術との相違点である旨主張しているが、本願における文言の上ではチャンネル機構及びコントロール機構のそれぞれの文言により示されるそれぞれ機能が複数の機能手段から構成されているのか単数の機能実現手段から構成されているのかが特定されていないから、これらの点は相違点ではなく、出願人の上記主張は誤った引用文献1の認定に基づく主張である。

また、「機構」を「ユニット」に置き換えても、本願が記憶システムの内部構造についてのものであって、ユニットの文言を用いたとしても該ユニットの文言によって筐体を別にした物理空間上で区別される物体を指すものとは認定できないから、この点で上記認定が左右されるものではない。また、「メモリ」は「キャッシュ」の上位概念であるから、本願でキャッシュをメモリと表現したとしても、引用文献のキャッシュとの間の相違点にはならない。

請求項：28－157（補正案の請求項28－42についても同様。）

引用文献：1

備考

（引用文献1はフランス語文献であるところ、その訳語については、対応日本特許文献2を参照。）

引用文献1における「ホストH」「ディスクメモリバンクBMD」「キャッシュメモリCA」「周辺マスメモリサブシステムPSS」「ホストアダプタHA」「マスメモリアダプタ（ディスクアダプタ）DA」がそれぞれ本願発明の「上位装置」「回転型記憶装置」「キャッシュ機構」「外部記憶サブシステム」「チャンネルユニット」「コントロールユニット」に相当する。

また、複数のチャンネル機構あるいは複数のコントロール機構の各々が（複数の）キャッシュ機構と接続される複数の経路を有する点については、

・そもそも特定の経路を冗長構成とすることによって信頼性向上を図ることは常套手段である。

・引用文献1においてセントラルプロセッサPRの各々が、複数のキャッシュメモリが独立に接続されるアクセス経路であるバス1とバス2の両方に対して個別のアクセス経路を有していることが開示されており、また、セントラルプロセッサは種々のハードウェアエレメントの親装置としての機能を有しており、他のハードウェアに対する初期設定の役割を果たすものであるところ、該セントラルプロセッサの初期設定機能をホストアダプタの機能と一体化することは、当業者が適宜なし得ることである。その際、具体的なマザーボードにおけるバスとの接続構成として、セントラルプロセッサにおけるバスの接続構成であるバス1とバス

2の両方に対する個別のアクセス経路を有する構成とするか、ホストアダプタにおけるバスの接続構成であるバス1とバス2のいずれかに対するアクセス経路を有する構成とするかは、当業者が適宜選択設計すべき事項である。

・引用文献1においてソリッドステートディスクユニットDE1の各々が、複数のキャッシュメモリが独立に接続されるアクセス経路であるバス1とバス2の両方に対して個別のアクセス経路を有していることが開示されており、また、ソリッドステートディスクユニットDE1におけるソリッドステートディスクはそもそもディスクメモリバンクの機能を代替するために設けられているものであるから、ソリッドステートディスクユニットの機能をディスクメモリバンクと一体化することは、当業者が適宜なし得ることである。その際、具体的なマザーボードにおけるバスの接続構成として、ソリッドステートディスクユニットにおけるバスの接続構成であるバス1とバス2の両方に対する個別のアクセス経路を有する構成とするか、ディスクアダプタにおけるバスの接続構成であるバス1とバス2のいずれかに対するアクセス経路を有する構成とするかは、当業者が適宜選択設計すべき事項である。

してみると、引用文献1記載の技術において、ホストアダプタ及びディスクアダプタの各々が有するアクセス経路を単数とするか複数とするかは、設計的事項である。

拒絶の理由が新たに発見された場合には拒絶の理由が通知される。

#### 引 用 文 献 等 一 覧

1. 欧州特許出願公開第445479号明細書
2. 特開平4-219815号公報